

DECIMACIONI FILTRI INTEGRISANOG MERAČA POTROŠNJE ELEKTRIČNE ENERGIJE

Predrag Petković, Miljana Sokolović, *Elektronski fakultet u Nišu*

Sadržaj –U radu je predstavljena arhitektura filtera za redukovanje frekvencije na izlazu A/D konvertora ugrađenih u integrisani merač potrošnje električne energije. Arhitekturu karakterišu mala potrošnja i jednostavnu implementaciju. U radu je opisan postupak projektovanja od izračunavanja koeficijentata filtera, do fizičke realizacije zasnovane na primeni standardnih ćelija iz biblioteke elemenata AMI Semiconductor CMOS035 tehnologije.

1. UVOD

Upotreba $\Delta\Sigma$ modulatora u A/D konvertorima (ADC) omogućava potiskivanje šuma kvantizacije signala u VF opseg, dok se u NF opsegu poboljšava odnos signal/šum. Ukupan nivo šuma smanjuje se sa povećanjem broja bitova na izlazu ADC. Nazalost, istovremeno se zaoštavaju zahtevi vezani za realizaciju analognog dela kola. Naime, povećanje broja bitova zahteva veći broj analognih komponenata identičnih karakteristika što nije lako ostvariti. Alternativno rešenje predstavlja odabiranje signala sa frekvencijom većom od Nikvistove (*oversampling*), čime se postiže veći dinamički opseg korisnog NF signala i pri malom broju bitova.

Digitalni signal na izlazu ADC namenjen je za dodatnu obradu u okviru DSP stepena. Zato on mora da ispuni odgovarajuće zahteve sa stanovišta brzine, količine i kvaliteta informacija koje nosi. To podrazumeva smanjenje brzine odabiranja, odgovarajuće povećanje broja bitova i filtriranje šuma. U ovu svrhu koriste se digitalni filtri. Redukovanje brzine odabiranja naziva se decimacija, pa su i ovi filtri poznati pod nazivom decimacioni filtri [1, 2].

U ovom radu opisan je postupak projektovanja decimacionih filtera primenjenih u ADC bloku integrisanog merača potrošnje električne energije (IMPEG). Radi se o integrisanom kolu u kome se utrošena energija izračunava na osnovu informacija o vrednostima napona i struje. Zato u kolu postoje dva nezavisna ADC sa odgovarajućim filterima koji čine naponski, odnosno strujni kanal.

Projektni zahtevi za ova dva kanala nisu isti, te je i njihova realizacija različita. Osnovna razlika tiče se dinamičkog opsega signala, a iz nje proističu i sve ostale. U strujnom kanalu minimalni dinamički opseg iznosi 80dB, dok u naponskom kanalu mora da bude najmanje 60dB. S obzirom da se radi o granicama koje se očekuju posle realizacije, tokom projektovanja ove margine su povećane za još 40dB. Naime, iskustvo pokazuje da se oko 20dB gubi tokom fizičke realizacije integrisanog kola, a dodatnih 20dB je uključeno kao zaliha kojom bi se pokrila odstupanja nastala u projektovanju analognih komponenata u ADC.

Decimacioni filtri pobuđuju se iz ADC realizovanih primenom $\Sigma\Delta$ modulatora drugog reda u naponskom i trećeg reda u strujnom kanalu. Primenjena je oversempling tehnika [1], tako da se željeni dinamički opseg dobija na izlazu modulatora drugog reda sa jednim bitom. Modulator u strujnom kanalu realizovan je kao MASH [3] struktura na

čijem se izlazu dobija petobitni signal. Digitalni signali na oba kanala uzorkovani su frekvencijom 524 544Hz. Željeni frekvencijski opseg je <2kHz, frekvencija odabiranja na izlazu je 4096 Hz. Na osnovu ovih podataka sledi da treba ostvariti faktor decimacije od 128.

U narednom odeljku biće opisana usvojena arhitektura decimacionih filtera uz obrazloženje izabrane strategije. Nakon toga, biće prikazana konkretna implementacija ovakvih arhitektura. Izlaganje se završava prikazom rezultata sinteze i simulacije projektovanih filtera.

2. ARHITEKTURA DECIMATORA

Realizacija decimatora sa velikim faktorom redukcije frekvencije u jednom bloku zahteva upotrebu filtera višeg reda [4]. Prenosna funkcija $H(z)$ filtera višeg reda, može se realizovati kao proizvod dve funkcije nižeg reda tj. kaskadnom vezom dva filtera nižeg reda. Zato je znatno praktičnije da se složeni filter realizuje u više sekcija. Naravno, ne treba otići ni u drugu krajnost. Polazeći od pravila da je dobro da se u prvoj sekciji ostvari najveći stepen redukcije kako bi se što pre smanjila frekvencija takta, a time i potrošnja, izabrana je arhitektura prikazana na slici 1. Decimator se sastoji od 4 sekcije sa odnosima decimacije 8-4-2-2. S obzirom da prve dve sekcije rade na najvišim frekvencijama, u njima je koncentrisana najveća potrošnja snage. Zato su one realizovane kao *Sinc filtri* [2, 4, 5]. Ovi filtri dobili su ime prema funkciji koju zadovoljava njihova amplitudska karakteristika $\text{Sinc}(x)=(\sin x)/x$. Sinc filter sa odnosom redukcije frekvencije N predstavlja linearni sistem koji računa srednju vrednost od najmanje N ulaznih odmeraka. Njihova prednost ogleda se u jednostavnoj implementaciji uprkos činjenici da ih karakteriše monotono opadajuća amplitudska karakteristika u propusnom opsegu. U konkretnom slučaju, odnos propusnog opsega i frekvencije odabiranja dovoljno je mali, tako da se neznatno degradira amplitudska karakteristika koju unosi Sinc funkcija. U svakom slučaju, unešeno slabljenje može da se koriguje na nižim frekvencijama odgovarajućim FIR filtrom ali uz znatno manju potrošnju.

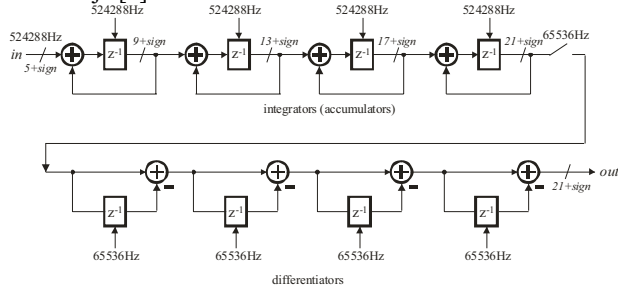


S11. Arhitektura decimatorske linije

Najjednostavniju realizaciju Sinc funkcije omogućava *comb arhitektura* [4, 5] u kojoj su vrednosti svih koeficijentata jednake jedinici te ne zahtevaju množače. To je naročito poželjno u prvom stepenu decimacionog filtera gde je brzina protoka podataka najveća. U našem slučaju, Sinc filter podeljen je u dva stepena sa faktorima decimacije 8 i 4.

Red Sinc filtera, k , $(\text{Sinc}^k x = (\text{Sinc } x)^k)$ treba da bude bar za jedan veći od reda $\Delta\Sigma$ modulatora [4]. Zato je potrebno realizovati Sinc^4 u strujnom i Sinc^3 u naponskom kanalu.

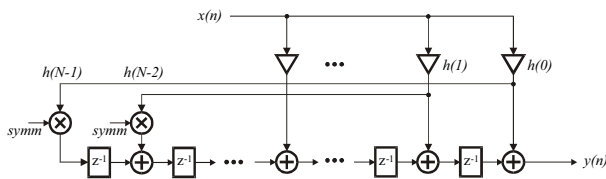
Na slici 2 prikazana je arhitektura Sinc⁴ filtra realizovanog kaskadnim vezivanjem četiri akumulatorska sabirača sa četiri diferencijatora. Akumulatorski blokovi taktuju se sa višom, a diferencijatorski N puta nižom frekvencijom. Na taj način, na izlazu se dobija srednja vrednost N odbiraka. Minimalna dužina izlazne reči određuje se na osnovu dužine ulazne reči, reda filtra i odnosa decimacije [4].



Sl.2. Arhitektura prvog Sinc⁴ filtra u strujnom kanalu

Drugi deo decimatora čine po dva FIR filtra. Faktor decimacije svakog FIR filtra u naponskom i u strujnom kanalu iznosi 2. Oba filtra projektovana su kao half-band filtri, kako bi se pojednostavila njihova realizacija [5]. Na taj način dobijeni su filtri sa simetričnim koeficijentima, $h(i)$ ($i=1,\dots,N$), od kojih je svaki drugi jednak nuli. Struktura ovih filtara prikazana je na slici 3.

Prvi FIR stepen koristi se za korekciju izobličenja amplitudske karakteristike nastalu u Sinc filtru. Pored toga, ovaj filtar mora da obezbedi dovoljno slabljenje van propusnog opsega. Odnos propusnog opsega i frekvencije odabiranja kod ovog filtra iznosi 4,096 što ukazuje na relaksirane zahteve u odnosu na strminu prelazne oblasti filtra. Drugi NF FIR filtar ima znatno strožiji zahtev što se tiče selektivnosti, tako da je red ovog filtra veći od prethodnog.



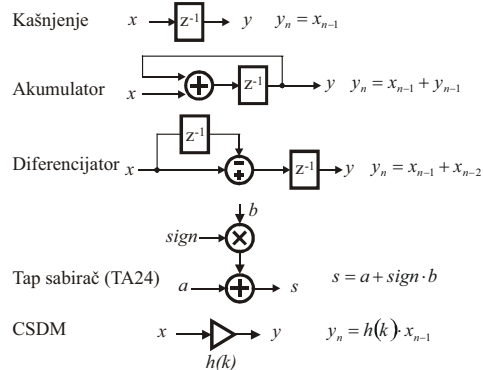
Sl.3. Struktura FIR filtra

Hardverska realizacija koeficijenata FIR filtara zasnovana je na CSD (Canonical Signed Digit) reprezentaciji [5]. Unutrašnja struktura FIR filtara prikazana je na slici 3. Realizacija je veoma jednostavna, a omogućava znatne uštede u potrošnji i velike brzine rada [5]. U projektovanju FIR filtara primenjena je sledeća procedura.

- Primenom originalnog programa zasnovanog na metodu najmanjih kvadrata (least mean square, LMS) optimizovane su vrednosti koeficijenata filtra koje zadovoljavaju zadate kriterijume [5].
- Izvršena je konverzija dobijenih vrednosti koeficijenata u skup celobrojnih vrednosti koeficijenata sa konačnom preciznošću.
- Određen je CSD ekvivalent svakog koeficijenta sa željenom preciznošću, primenom algoritma datog u [5].

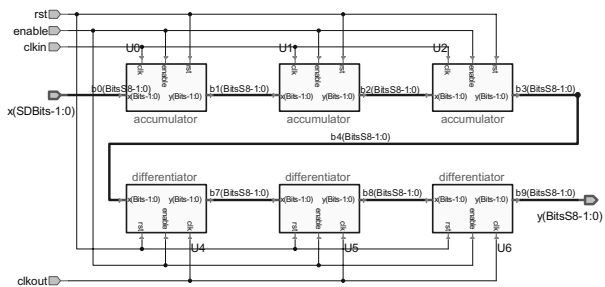
3. IMPLEMENTACIJA FILTARA

Analizom arhitektura Sinc (slika 2) i FIR (slika3) sekcija decimatora može se zapaziti da su zasnovane na primeni malog broja različitih gradivnih blokova [6]. Svi oni prikazani su na slici 4. Na istoj slici prikazani su i odgovarajući izrazi koji opisuju njihovo ponašanje u vremenskom domenu.



Sl.4. Gradivni blokovi filtara

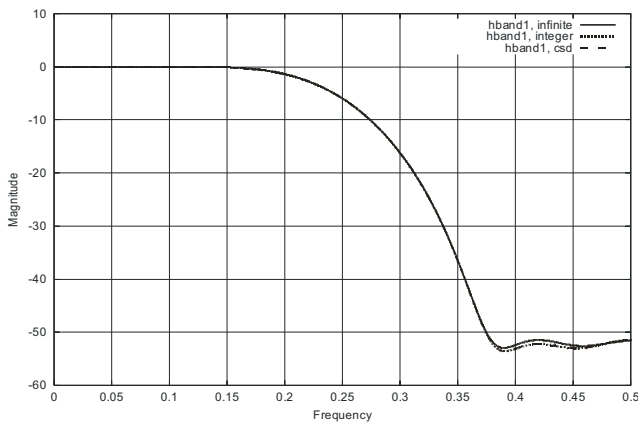
Svaki od ovih blokova opisan je u VHDL-u čime je kreirana biblioteka filtarskih elemenata. Da bi se generalizovao opis pojedinih elemenata, dužine ulaznih i izlaznih reči ovih blokova definisane su kao opšte konstante (generici). Svi filtri taktuju se sa dve frekvencije. Na ulazu se podaci prihvataju sa višom, a na izlazu sa nižom frekvencijom.



Sl. 5. VHDL implementacija Sinc³ filtra

VHDL opis Sinc filtra trećeg reda zasnovan na primeni tri gradivna akumulatorska (accumulator) i diferencijatorska (diferencijator) bloka rezultira blok dijagramom sa slike 5. Faktor decimacije definisan je odnosom frekvencija signala clkIn i clkOut. U našem slučaju potrebni faktori decimacije su 8 i 4. Pojačanje Sinc filtra trećeg reda sa faktorom decimacije 8 je $8^3=2^9$, tako da je dužina izlazne digitalne reči uvećana za 9 bitova u odnosu na ulaznu digitalnu reč. Slično razmatranje važi i za ostale Sinc filtarske sekcije.

Kao što je pomenuto, simertični FIR filtri mogu se efikasno realizovati korišćenjem arhitekture prikazane na slici 3. Oni se sastoje od CSD množača i sabirača. Detalji projektovanja FIR filtra biće ilustrovani na primeru prvog filtra u strujnom kanalu. Koeficijenti koji zadovoljavaju specificirane zahteve optimizovani su primenom LSM metoda i prikazani u tabeli 1. Koeficijenti su zaokruženi na 4 CSD cifre. Na slici 6 upoređene su amplitudske karakteristike filtra sa tačnim i zaokruženim CSD vrednostima koeficijenata.

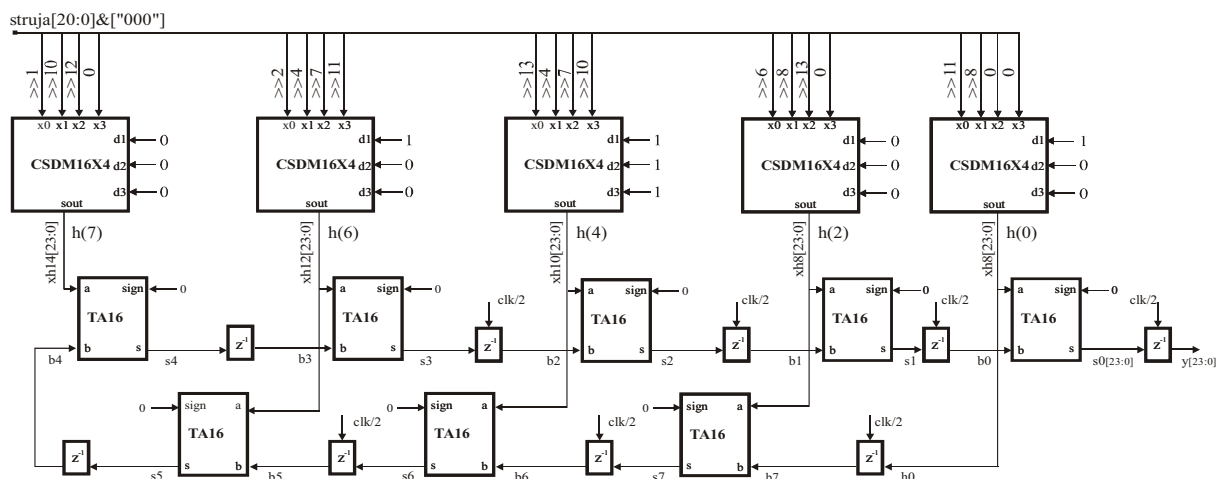


Sl. 6. Amplitudska karakteristika prvog FIR filtra u strujnom kanalu sa tačnim (a) i CSD zaokruženim vrednostima koeficijenata (b)

Tabela I

h(n)	Vrednost	CSD Oblik
h(0)=h(14)	-0.0034179	$1x(-1/2^8 + 1/2^{11})$
h(1)=h(13)	0	
h(2)=h(12)	0.0196533	$1x(+1/2^6 + 1/2^8 + 1/2^{13})$
h(3)=h(11)	0	
h(4)=h(10)	-0.071167	$1x(-1/2^4 - 1/2^7 - 1/2^{10} + 1/2^{13})$
h(5)=h(9)	0	
h(6)=h(8)	0.304199	$1x(+1/2^2 + 1/2^4 - 1/2^7 - 1/2^{11})$
h(7)	0.501221	$1x(+1/2^1 + 1/2^{10} + 1/2^{12})$

Implementacija ovako dobijene FIR filterske sekcije prikazana je na slici 7. Filtrar se sastoji od 8 sabirača. Blok CSDM koristi se za hardversku realizaciju koeficijenata. Operacije množenja zamenjene su jednostavnim pomeranjem, što je na slici označeno simbolom “<<”. Blokovi koji su označeni sa “z⁻¹” predstavljaju linije za kašnjenje realizovane korišćenjem D flip-flova. Na ovoj slici prikazani su i odgovarajući taktни signali.



Sl. 7. Detalji implementacije prvog FIR filtra u strujnom kanalu

Ostali FIR filtri imaju različit broj sabirača i sličnu strukturu. Tako drugi FIR filtar u strujnom kanalu ima 16 sabirača, prvi FIR filtar u naponskom kanalu ima 6, a drugi FIR filtar u naponskom kanalu 14 sabirača.

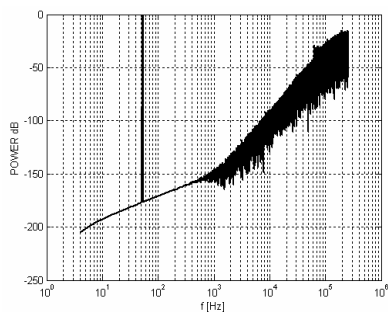
4. REZULTATI SINTEZE I SIMULACIJE

Funkcionalnost VHDL opisa digitalnih filtara najpre je verifikovana *Active HDL* sumulatorom [7]. Za svaki digitalni blok napisan je odgovarajući program za testiranje (test bench) sa pobudnim i taktним signalima. Dobijeni rezultati potvrdili su postavljene zahteve.

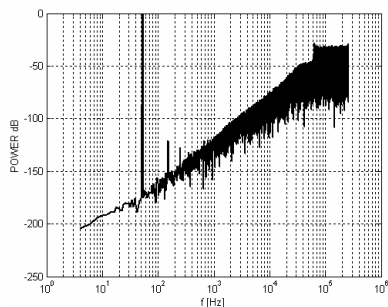
Nakon ovoga, VHDL opisi filtara importovani su u program za logičku sintezu *Build Gates*, koji je deo Cadence sistema za projektovanje kola [8]. Kao rezultat dobijena je net-lista u kojoj se koriste standardne ćelije iz biblioteke Alcatel Microelectronics 0.35μ C035M-D [9].

Tokom sinteze posebna pažnja posvećena je pravilnoj specifikaciji stabla takta i reset signala. Dodatna opreznost potrebna je zbog prisustva različitih taktних signala. Generisanje stabala takta i reseta obavljeno je automatski tokom planiranja, raspoređivanja i povezivanja korišćenjem programa *Silicon Ensemble* [8]. Nakon ovih procedura, dobijene su veličine svih potrebnih filterskih blokova, koje su prikazane u tabeli 2. U ovoj tabeli slovima V i C označeni su blokovi koji se odnose na naponski i strujni kanal, respektivno.

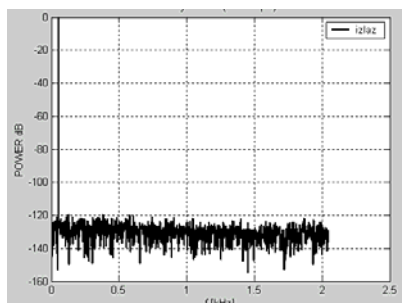
Nakon sinteze, dobijene su net-liste u *Verilog* formatu na osnovu kojih je obavljena verifikacija programom *NCsim* iz Cadence paketa [6]. Rezultati dobijenih simulacija (digitalne reči na izlazima filtara) importovane su u *Matlab* programski paket [10], kako bi se izračunala FFT (Fast Fourier Transform). Dobijeni spektri prikazani su na slikama 8, 9, 10 i 11. Sa slika se može videti da je slabljenje van propusnog opsega u strujnom kanalu veće od 120dB, dok je slabljenje u naponskom kanalu veće od 110dB čime su zadovoljeni specificirani zahtevi.



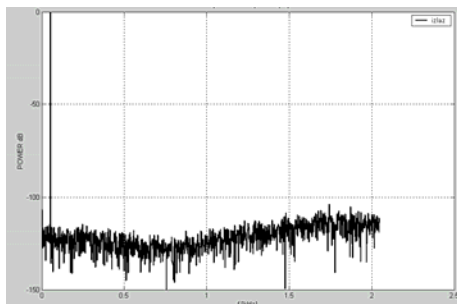
Sl.7. Spektar ulaznog signala u strujni decimator



Sl.8. Spektar ulaznog signala u naponski decimator



Sl.9. Spektar izlaznog signala iz strujnog decimatora



Sl.10. Spektar izlaznog signala iz naponskog decimatora

Tabela II

Filter	Površina u NAND gates jedinicama	Površina u μm^2
FIRV	10006.08	754.5 μm x 1084.5 μm
FIRC	11704.42	898.5 μm x 1048.5 μm
SINCV	2296.29	760.5 μm x 280.5 μm
SINCC	3265.12	901.5 μm x 322.5 μm

5. ZAKLJUČAK

Opisana je strategija za projektovanje i realizaciju filtera za redukciju frekvencije odabiranja sa faktorom decimacije 128. Najpre je filter podeljen u četiri sekcije sa faktorima redukcije 8-4-2-2. Prve dve sekcije realizovane su kao Sinc filteri, a druge dve kao FIR filteri. Filteri se nalaze u sastavu integrisanog merača potrošnje električne energije. Projektovani su kao makro blokovi korišćenjem AMI (Alcate Microelectronics) Semiconductors CMOS 0,35 μm C035M-D biblioteke standardnih digitalnih ćelija. Simulacije nakon fizičkog projektovanja potvrdile su ispunjenje specificiranih zahteva. Nakon isporuke prototipa izvršiće se potrebna merenja.

ZAHVALNOST

Ovaj rad je finansiran sredstvima Ministarstva za nauku, tehnologije i razvoj Republike Srbije i „Mačkatica A.D.“ u okviru projekata IT1.02.0075.A. i IT1.01.0076.B.

LITERATURA

- [1] Miodrag Popović, “Digitalna obrada signala”- IP Nauka, Beograd 1994.
- [2] Y. Gao, L. Jia, and H. Tenhun, “A Partial-Polyphase VLSI Architecture for Very High Speed CIC Decimation Filters”, 12th Annual 1999 IEEE International ASIC/SOC Conference, www.asic.union.edu
- [3] Candy J.C. and Temes G.C., “Oversampling Delta-Sigma Data Converters”, *Theory Design and Simulation*, August 1991, Wiley-IEEE Press.
- [4] R. Rossi, “Signal Processing Circuits for Mixed-Signal Integrated Systems in Submicron CMOS Technology”, Ph.D. Thesis in Electronics in Computer Science, University of Pavia, October 2001.
- [5] --, “Dual Band Quadrature Digital Block Up Converter Implementation”, Technical Report, Microelectronics Centre, Middlesex University, London, 2001.
- [6] Z. Chen, “VLSI Implementation of a High-Speed Delta-Sigma Analog to Digital Converter”, Partial Fulfillment of the Requirement for the Degree Master of Science, Faculty of the Russ College of Engineering and Technology, Ohio University, November 1997.
- [7] «Active-HDL, ver.5.1. User's Manual», ALDEC Inc., 2002.
- [8] Cadence 2003 Documentation, <http://www.cadence.com>.
- [9] AMI Semiconductor CMOS 0.35 μm Technology Documentation.
- [10] «MATLAB and SIMULINK Users Guide», The MathWorks, Inc., Natick, MA, 1997.

Abstract –This paper describes designing process of decimation filters implemented within a solid-state energy meter. The decimation factor of 128 is achieved in four section as a 8-4-2-2 architecture. The first two sections are realized as Sinc filters and the last two utilize FIR architecture. Digital filters are designed using Alcate CMOS 0.35 cell library. Post layout simulations have verified desired specifications. Prototypes are expected soon when detailed testing will be possible.

DECIMATION FILTERS IN AN INTEGRATED POWER-METER

P. Petković and M.Sokolović